

PATENT



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Vincent COSNIER et al.

Serial No. 10/815,473

Filed: April 1, 2004

: Atty. Docket: 03-GR1-020

: Group Art Unit: 2812

: Confirmation No. 6362

:

*For: METHOD OF FABRICATING A SEMICONDUCTOR DEVICE COMPRISING
A GATE DIELECTRIC MADE OF HIGH DIELECTRIC PERMITTIVITY MATERIAL*

CLAIM FOR PRIORITY UNDER 35 USC §119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SIR:


Under the provisions of 35 USC §119, there is filed herewith a certified copy of French Application No. 03 04008 filed on April 1, 2003, in accordance with the International Convention for the Protection of Industrial Property, 53 Stat. 1748, under which Applicants hereby claim priority.

Respectfully submitted,

Date:

8/12/04

By:


Jon A. Gibbons
Reg. No. 37,333

Customer No. 23334
Fleit, Kain, Gibbons, Gutman, Bongini & Bianco P.L.
551 NW 77th Street
Suite 111
Boca Raton, Florida 33487
Telephone: (561) 989-9811
Facsimile: (561) 989-9812



100



03 06008
Plassaud
(1)

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le **26 MARS 2004**

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

A handwritten signature in black ink, appearing to read 'M. Planché', is written over a horizontal line.

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr



26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



REQUÊTE EN DÉLIVRANCE page 1/2



Cet imprimé est à remplir lisiblement à l'encre noire

DB 540 e W / 210502

REMISE DES PIÈCES DATE 1 AVRIL 2003 LIEU 75 INPI PARIS N° D'ENREGISTREMENT 0304008 NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE - 1 AVR. 2003 PAR L'INPI		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE CABINET PLASSERAUD 84, rue d'Amsterdam 75440 PARIS CEDEX 09	
Vos références pour ce dossier (facultatif) REFD30081		<input type="checkbox"/> N° attribué par l'INPI à la télécopie	
2 NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
Demande de brevet initiale ou demande de certificat d'utilité initiale		N° _____ Date _____ N° _____ Date _____	
Transformation d'une demande de brevet européen Demande de brevet initiale		<input type="checkbox"/> N° _____ Date _____	
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) PROCÉDE DE FABRICATION D'UN DISPOSITIF SEMICONDUCTEUR COMPRENANT UN DIELECTRIQUE DE GRILLE EN MATERIAU A HAUTE PERMITTIVITE DIELECTRIQUE			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ Date _____ <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	
5 DEMANDEUR (Cochez l'une des 2 cases)		<input checked="" type="checkbox"/> Personne morale <input type="checkbox"/> Personne physique	
Nom ou dénomination sociale		STMICROELECTRONICS SA	
Prénoms			
Forme juridique		Société Anonyme	
N° SIREN		341459386	
Code APE-NAF			
Domicile ou siège	Rue	29, Boulevard Romain Rolland 92120 MONTROUGE	
	Code postal et ville		
	Pays	FRANCE	
Nationalité		Française	
N° de téléphone (facultatif)		N° de télécopie (facultatif)	
Adresse électronique (facultatif)			
<input type="checkbox"/> S'il y a plus d'un demandeur, cochez la case et utilisez l'imprimé «Suite»			



BREVET D'INVENTION CERTIFICAT D'UTILITÉ

REQUÊTE EN DÉLIVRANCE
page 2/2

BR2

1 **AVRIL 2003** RECEVÉ PAR L'INPI

REMISE DES PIÈCES
DATE **75 INPI PARIS**

LIEU **0304008**

N° D'ENREGISTREMENT
NATIONAL ATTRIBUÉ PAR L'INPI

DB 540 W / 210502

6 MANDATAIRE <i>(s'il y a lieu)</i>		BFF030081
Nom		
Prénom		
Cabinet ou Société		Cabinet PLASSERAUD
N° de pouvoir permanent et/ou de lien contractuel		
Adresse	Rue	84, rue d'Amsterdam
	Code postal et ville	75009 PARIS
	Pays	
N° de téléphone <i>(facultatif)</i>		
N° de télécopie <i>(facultatif)</i>		
Adresse électronique <i>(facultatif)</i>		
7 INVENTEUR (S)		Les inventeurs sont nécessairement des personnes physiques
Les demandeurs et les inventeurs sont les mêmes personnes		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non : Dans ce cas remplir le formulaire de Désignation d'inventeur(s)
8 RAPPORT DE RECHERCHE		Uniquement pour une demande de brevet (y compris division et transformation)
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/> Établissement immédiat <input type="checkbox"/> Établissement différé
Paiement échelonné de la redevance <i>(en deux versements)</i>		Uniquement pour les personnes physiques effectuant elles-mêmes leur propre dépôt <input type="checkbox"/> Oui <input type="checkbox"/> Non
9 RÉDUCTION DU TAUX DES REDEVANCES		Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention <i>(joindre un avis de non-imposition)</i> <input type="checkbox"/> Obtenue antérieurement à ce dépôt pour cette invention <i>(joindre une copie de la décision d'admission à l'assistance gratuite ou indiquer sa référence)</i> : AG 75009
10 SÉQUENCES DE NUCLEOTIDES ET/OU D'ACIDES AMINÉS		<input type="checkbox"/> Cochez la case si la description contient une liste de séquences
Le support électronique de données est joint		<input type="checkbox"/>
La déclaration de conformité de la liste de séquences sur support papier avec le support électronique de données est jointe		<input type="checkbox"/>
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes		
11 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire) Stéphane VERDURE 97-0901		VISA DE LA PRÉFECTURE OU DE L'INPI L. MARIELLO

**PROCEDE DE FABRICATION D'UN DISPOSITIF SEMICONDUCTEUR
COMPRENANT UN DIELECTRIQUE DE GRILLE EN MATERIAU A HAUTE
PERMITTIVITE DIELECTRIQUE**

La présente invention concerne un procédé de fabrication d'un dispositif semiconducteur comprenant un diélectrique de grille en matériau à haute permittivité diélectrique, ainsi qu'un dispositif semiconducteur tel qu'un transistor MOS obtenu par ce procédé.

5 Elle trouve des applications, en particulier, dans la fabrication de transistors MOS en technologie CMOS ou autre.

Le matériau généralement utilisé pour former la grille d'un transistor MOS, en particulier dans le cas de transistors à canal court (inférieur à 0,18 μm) est le silicium polycristallin (poly-silicium ou poly-Si). De manière
10 classique, les grilles de ces transistors sont obtenues par gravure par plasma haute densité d'une couche de poly-Si déposée sur une mince couche de matériau diélectrique (diélectrique de grille), typiquement de l'oxyde de silicium (SiO_2), formée à la surface d'un substrat en silicium monocristallin.

On cherche actuellement à remplacer la couche de SiO_2 par une
15 couche de matériau diélectrique à haute permittivité diélectrique (matériau "high-k") pour les applications à basse consommation d'énergie nécessitant un faible courant de fuite. L'introduction des matériaux "high-k" en vue du remplacement du SiO_2 doit se faire dans un premier temps avec une grille en poly-Si standard.

20 Ces dernières années, un effort de développement autant du matériau "high-k" que de la grille poly-Si a été réalisé. Il semble que les matériaux de type oxyde métallique étudiés jusqu'ici soient incompatibles avec un procédé de dépôt de grille en poly-Si standard. A ce sujet, on pourra se référer à l'article : "Compatibility of Polycrystalline Silicon Gate Deposition with HfO_2 and
25 $\text{HfO}_2/\text{Al}_2\text{O}_3$ Gate Dielectrics", D.C. Gilmer et al., MOTOROLA (APL, vol. 81, No 7, pp 1288-1290). En effet, un grand nombre de défauts, de type court-circuit, est généré, de l'ordre de 10^4 défauts par cm^2 .

Selon les études et observations faites par les inventeurs, et qui sont à la base de la présente invention, il est considéré que l'apparition de ces défauts
30 est probablement due à une interaction directe entre les gaz utilisés lors du dépôt de la grille en poly-Si, à savoir du silane (SiH_4) et de l'hydrogène (H_2),

d'une part, et la surface du matériau "high-k", d'autre part, compte tenu de la température élevée à laquelle ce dépôt est réalisé, qui est de l'ordre de 550 °C. Lorsque le matériau "high-k" est une couche d'oxyde d'hafnium (HfO_2), l'interaction dont il s'agit ici est une interaction de type Hf-Si qui se produit à des températures de l'ordre de 550°C ou supérieures.

Pour palier ce problème, deux solutions sont a priori envisageables : la première serait de modifier le matériau "high-k", et la seconde serait de modifier la grille.

Concernant la première solution, on sait que de nombreuses études ont été effectuées afin de modifier le matériau "high-k", mais que cela se traduit généralement soit par une diminution de la valeur de la permittivité diélectrique (k), soit par une augmentation du nombre de charges fixes dans le matériau, ayant pour effet de dégrader les caractéristiques des transistors. On pourra à ce sujet se référer à l'article : "Effect of Nitrogen in HfSiON Gate Dielectrics on the Electrical and Thermal Characteristics", M. Koyoma et al., Toshiba Corporation (IEDM 2002).

Concernant la seconde solution, on sait par ailleurs que l'utilisation d'une grille métallique, notamment une grille en nitrure de titane (TiN) permet certes d'éviter le problème de génération de défauts, mais pose de nombreux problèmes d'intégration et de compatibilité avec un procédé FEOL (Front-End Of the Line). En particulier, il est préférable de conserver une grille en poly-Si offrant la possibilité d'un dopage n ou p par implantation ionique.

Du document EP-A1-0 887 843, on connaît par ailleurs un transistor à grille composite Si/SiGe qui comprend, sur un substrat semi-conducteur en Si, une couche de SiO_2 , et sur la couche de SiO_2 une couche d'accrochage en Si d'une épaisseur inférieure ou égale à 1 nm, et sur cette couche d'accrochage, une couche de $\text{Si}_{1-x}\text{Ge}_x$ polycristallin, où $0 < x \leq 1$, d'une épaisseur de l'ordre de 2 à 20 nm, elle-même surmontée d'une couche de Si. Le dépôt de la couche d'accrochage est effectué à une température comprise entre 500 et 580 °C, typiquement 550 °C. C'est pourquoi les interactions précitées de type Hf-Si se produiraient à l'interface avec la couche de matériau "high-k" si une telle couche remplaçait la couche de SiO_2 .

C'est pourquoi un objet de l'invention est de proposer un procédé de réalisation de la grille qui soit moins agressif envers le matériau "high-k" dans les premières étapes de dépôt de la grille, mais qui soit également compatible avec les procédés de fabrication conventionnels, comprenant notamment
5 l'ajustement du travail de sortie de la grille par implantation ionique.

A cet effet, un premier aspect de l'invention concerne un procédé de fabrication d'un dispositif semiconducteur ayant un diélectrique de grille en matériau à haute permittivité diélectrique, comprenant une étape de dépôt, directement sur ledit diélectrique de grille, d'une première couche de $\text{Si}_{1-x}\text{Ge}_x$
10 avec $0,5 < X \leq 1$, à une température sensiblement basse par rapport à la température de dépôt du poly-Si par CVD thermique.

Le procédé peut en outre comprendre une étape de dépôt d'une seconde couche de $\text{Si}_{1-y}\text{Ge}_y$ avec $0 \leq Y \leq 1$, par-dessus la première couche de $\text{Si}_{1-x}\text{Ge}_x$.

15 Un second aspect de l'invention concerne un dispositif semiconducteur comprenant, sur un substrat, un diélectrique de grille en matériau à haute permittivité diélectrique, et, au dessus dudit diélectrique de grille, une grille comprenant une première couche de $\text{Si}_{1-x}\text{Ge}_x$ avec $0,5 < X \leq 1$ directement sur le diélectrique de grille.

20 Ainsi, l'invention propose d'utiliser du $\text{Si}_{1-x}\text{Ge}_x$ avec $0,5 < X \leq 1$ pour la première étape de dépôt directement sur le matériau "high-k", lors de l'élaboration de la grille, afin de stabiliser l'interface entre le matériau "high-k" et la grille, sans dégrader le matériau "high-k". Une fois cette interface établie, on peut poursuivre le procédé conventionnel de réalisation de la grille en poly-Si,
25 avec les budgets thermiques associés.

D'autres caractéristiques et avantages de l'invention apparaîtront encore à la lecture de la description qui va suivre. Celle-ci est purement illustrative et doit être lue en regard des dessins annexés sur lesquels:

- les figures 1 à 5 sont des vues en coupe schématiques, illustrant d'un
30 exemple de dispositif semiconducteur aux principales étapes du procédé de formation de la grille par-dessus une couche de matériau "high-k"; et,

- la figure 6 est un diagramme d'étapes illustrant un exemple de procédé selon l'invention.

Le dispositif est ici par exemple la grille d'un transistor MOS, qui est un cas particulier d'armature de condensateur. Néanmoins, il est bien évident que l'invention ne se limite pas à cet exemple, mais s'applique à la réalisation de tout dispositif semiconducteur comprenant un diélectrique de grille en matériau diélectrique "high-k".

Les figures 1 à 5 montrent, en coupe, la portion d'un substrat de silicium 1 qui correspond à une zone active pour la réalisation de la grille du transistor MOS. La zone active est par exemple une partie d'un substrat natif dopé p, pour la réalisation d'un transistor MOS à canal n (NMOS). Pour la réalisation d'un transistor MOS à canal p (PMOS), la zone active est par exemple un puits dopé n dans un substrat natif dopé p.

La figure 6 illustre les étapes d'un exemple de mise en œuvre de l'invention.

A partir d'un substrat de silicium natif, la première étape 10 consiste à définir au moins une zone active telle qu'illustrée à la figure 1.

Une seconde étape 20 consiste à préparer la surface du substrat, au niveau de la zone active, en vue du dépôt du matériau diélectrique "high k". Cette étape peut comprendre la formation d'une couche d'oxyde de grille très mince, en SiO_2 ou similaire (SiON ,...).

La figure 2 illustre une troisième étape 30 d'élaboration de la couche d'oxyde de grille à la surface du substrat 1, en déposant un matériau diélectrique de type "high-k", par exemple du HfO_2 . Cette étape comprend :

- la formation d'une couche d'oxyde, ayant une épaisseur d'environ 0,7 nm, par chimie ozonée ;
- le dépôt d'une couche de HfO_2 , ayant une épaisseur d'environ 4 nm, par exemple par ALCVD ("Atomic Layer Chemical Vapor Deposition") à une température de l'ordre de 300 °C ;
- un recuit à environ 600 °C, en présence d'azote (N_2) pendant 1 minute environ.

On obtient ainsi une couche d'oxyde de grille 2 en HfO_2 cristallisée.

On notera que d'autres matériaux diélectriques de type oxyde métallique sont envisageables, par exemple d'autres oxydes métalliques tels que l'oxyde de zirconium (ZrO_2), le silicate d'hafnium (HfSiO) et le silicate de zirconium (ZrSiO).

5 Les étapes 10, 20 et 30 sont indiquées ici, selon un exemple de mise en œuvre du procédé, dans un souci de clarté de l'exposé. Néanmoins, il est bien entendu qu'elles ne sont pas en elles mêmes constitutives du procédé selon l'invention.

10 Dans une quatrième étape 40 illustrée par la figure 3, on procède ensuite au dépôt d'une couche 3 de $\text{Si}_{1-x}\text{Ge}_x$ polycristallin avec $0,5 < X \leq 1$, à basse température, directement sur la couche d'oxyde de grille 2.

Par basse température, on entend ici et dans la suite une température sensiblement inférieure à la température de dépôt de Si par CVD thermique (de l'anglais "Chemical Vapor Deposition" qui signifie dépôt chimique en phase 15 vapeur) à partir d'un mélange gazeux de SiH_4 et H_2 , cette température étant en général égale à 550°C ou plus.

De préférence, le dépôt de la couche 3 peut ainsi s'effectuer à une température comprise entre 400 et 500°C , ou mieux entre 400 et 450°C . Il a été observé que, à une telle température, la dégradation du matériau "high-k" 20 est évitée.

Dans un premier exemple de mise en œuvre, le dépôt de cette étape 40 peut s'effectuer par CVD thermique à partir d'un mélange gazeux de SiH_4 et/ou de GeH_4 dilués dans l' H_2 typiquement à 10%.

25 Dans ce cas, il est préférable $0,7 \leq X \leq 1$. En effet, plus la teneur en Ge est élevée, plus basse peut être la température de dépôt. Ainsi, pour le dépôt d'une couche de Ge pur ($X=1$), la température peut être sensiblement égale à 400°C .

30 Ce dépôt est moins agressif qu'un dépôt par CVD thermique à base de SiH_4 dilué dans l' H_2 qui s'effectue typiquement avec un budget thermique de l'ordre de 550°C . L'interface entre le matériau "high-k" et la grille est donc stabilisée sans dégradation de ce matériau.

Les proportions des différents gaz du mélange gazeux pour la couche de $\text{Si}_{1-x}\text{Ge}_x$ varient en fonction de X , et peuvent être aisément déterminées par

l'Homme du métier en fonction des teneurs en Ge et en Si souhaitées pour cette couche.

La pression totale de dépôt est généralement une basse pression, c'est-à-dire inférieure à la pression atmosphérique.

5 La durée du dépôt est fonction des conditions de température et de pression, des proportions des différents gaz dans le mélange gazeux et de l'épaisseur voulue de la couche 3 de $\text{Si}_{1-x}\text{Ge}_x$ polycristallin. Par exemple, l'épaisseur de cette couche est comprise entre 5 et 30 nm.

Avantageusement, la teneur en Ge de la grille étant élevée ($X > 0,5$), la
10 poly-déplétion de la grille est grandement améliorée. A cet égard, on pourra se référer à l'article "Enhancement of PMOS Device Performance with Poly-SiGe Gate", Wen-Chin Lee et al., IEEE (EDL 1999, vol.20, No5, PP 232-234).

Dans une cinquième étape 50 illustrée par la figure 4, on procède ensuite au dépôt d'une seconde couche 4, par exemple en poly-Si, par-dessus
15 la couche 3, afin de compléter l'épaisseur de la grille à environ 150 nm au total.

On notera que le dépôt à cette étape 50 n'a pas besoin d'être réalisé à basse température (au sens indiqué plus haut), car l'interface entre la couche de matériau "high k" et la première couche de $\text{Si}_{1-x}\text{Ge}_x$, c'est-à-dire entre la couche 2 et la couche 3, est déjà stabilisée. Il n'y a donc pas d'interaction
20 possible de type Hf-Si.

En variante, la couche 4 peut-être en $\text{Si}_{1-y}\text{Ge}_y$ polycristallin avec $0 \leq Y \leq 1$.

Cette étape 50 peut avantageusement être réalisée dans le même réacteur que l'étape 40. Le cas échéant, seul le mélange gazeux est différent.

25 Dans une sixième étape 60, qui est facultative, on peut procéder à un recuit de diffusion pour obtenir l'interdiffusion du Ge et/ou du Si entre les couche 3 et 4, c'est-à-dire la diffusion du Ge et/ou du Si de la couche 3 vers la couche 4 et/ou réciproquement de la couche 4 vers la couche 3. Cette étape est intéressante, en particulier, dans le cas où la couche 3 est majoritairement
30 en Ge voire en Ge pur, et/ou dans le cas où la couche 4 est majoritairement en Si voire en Si pur.

Ce recuit permet alors d'obtenir une grille de type SiGe polycristallin.

Par un choix correct des paramètres du recuit, notamment la durée et la température, on peut avantageusement obtenir une interface entre le matériau "high-k" et la grille (interface entre les couches 2 et 3) qui soit à majorité de Si. De cette façon, l'effet de grille "mid-gap" dû au Ge pur dopé p+ est évité. Un compromis peut-être trouvé afin de conserver l'avantage résultant de la présence du Ge concernant la poly-dépletion.

A l'inverse, on peut aussi prévoir la formation d'une couche 5 de limitation de l'interdiffusion du Ge et du Si, déposée entre les couches 3 et 4, afin de limiter la diffusion du Ge et du Si de l'une de ces couches vers l'autre, et réciproquement, lors des recuits ultérieurs. La couche 5 est par exemple une couche de silicium nitrurée ou une couche d'oxyde de silicium superficielle d'une épaisseur inférieure ou égale à 1 nm. Un procédé d'obtention d'une telle couche est par exemple décrit dans la demande de brevet FR-A-2 775 119. On obtient alors la configuration illustrée à la figure 5.

Enfin, dans des étapes suivantes, on termine les autres étapes de réalisation du transistor MOS selon le procédé standard. Ces autres étapes comprennent la gravure de la grille et la réalisation de l'espaceur autour de la grille (avec le dépôt et éventuellement le retrait des masques nécessaires à cet effet). Les étapes suivantes peuvent aussi comprendre l'implantation des dopants n+ ou p+ pour les applications en technologie CMOS, et leur activation par recuit.

Selon un avantage de l'invention, la grille en SiGe polycristallin (poly-SiGe) peut ainsi être traitée comme une grille en poly-Si standard, pour l'ajustement du travail de sortie de la grille par implantation ionique.

La grille peut éventuellement être complétée par une couche d'encapsulation, recouvrant la couche 3 et/ou la couche 4, afin de protéger le germanium de l'oxydation et de l'évaporation éventuelle de son oxyde. Cette couche d'encapsulation peut être SiO₂, et être obtenue, selon un procédé de dépôt standard.

Dans les applications PMOS et NMOS, on peut doper in situ la couche 3 et/ou la couche 4, respectivement en p+ avec des atomes de bore (B) ou en n+ avec des atomes de phosphore (P). Par dopage in situ, on entend un dopage avec présence des dopants dans le mélange gazeux utilisé pour le

dépôt de la couche concernée. A cet effet, il suffit à l'étape d'ajouter de la phosphine (PH_3) ou, respectivement, du diborane (B_2H_6) au mélange gazeux utilisé pour le dépôt de ces couches par CVD thermique (premier exemple de mise en œuvre pour la couche 3).

5 Le dopage in situ est recommandé lorsqu'une couche de limitation de l'interdiffusion du Ge et du Si telle que mentionnée plus haut est prévue. En effet, cette couche peut faire obstacle à la diffusion des dopants jusqu'à l'interface entre les couches 2 et 3.

10 L'invention a été décrite ci-dessus dans un exemple de mise en œuvre général et qui n'est pas limitatif.

Dans un exemple particulier de mise en œuvre, on peut prévoir que la couche 3 et la couche 4 soient toutes deux composées de SiGe à haute teneur en Ge, par exemple supérieure à 70%, c'est-à-dire $\text{Si}_{1-x}\text{Ge}_x$ avec $0,7 < X \leq 1$. Cela permet de mieux contrôler la concentration de Ge dans la grille finale.

15 Dans un autre exemple de mise en œuvre, le Ge peut être le matériau unique de la grille. Dit autrement, les couches 3 et 4 sont alors en Ge pur ($X=1$). Ceci peut être avantageux dans le cadre d'un procédé complet par CVD thermique à bas budget thermique.

REVENDEICATIONS

1. Procédé de fabrication d'un dispositif semiconducteur ayant un diélectrique de grille (2) en matériau à haute permittivité diélectrique, comprenant une étape (40) de dépôt, directement sur ledit diélectrique de grille, d'une première couche (3) de $\text{Si}_{1-x}\text{Ge}_x$ avec $0,5 < X \leq 1$, à une
5 température sensiblement basse par rapport à la température de dépôt du poly-Si par CVD thermique.

2. Procédé selon la revendication 1, suivant lequel la première couche de $\text{Si}_{1-x}\text{Ge}_x$ est déposée par CVD thermique.

3. Procédé selon la revendication 1 ou la revendication 2, suivant
10 lequel $0,7 \leq X \leq 1$.

4. Procédé selon l'une quelconque des revendications précédentes, suivant lequel $X=1$.

5. Procédé selon l'une quelconque des revendications précédentes, comprenant en outre une étape (50) de dépôt d'une seconde couche (4) de
15 $\text{Si}_{1-y}\text{Ge}_y$ avec $0 \leq Y \leq 1$, par-dessus ladite première couche de $\text{Si}_{1-x}\text{Ge}_x$.

6. Procédé selon la revendication 5, suivant lequel $0,7 \leq X \leq 1$ et $0,7 \leq Y \leq 1$.

7. Procédé selon la revendication 6, suivant lequel $X=Y=1$.

8. Procédé selon l'une quelconque des revendications précédentes,
20 suivant lequel ladite première couche de $\text{Si}_{1-x}\text{Ge}_x$ et/ou ladite seconde couche de $\text{Si}_{1-y}\text{Ge}_y$ sont dopées in situ.

9. Procédé selon l'une des revendications 5 à 8, comprenant en outre un recuit de diffusion (60) du Ge et/ou du Si de la première couche de $\text{Si}_{1-x}\text{Ge}_x$ vers la seconde couche de $\text{Si}_{1-y}\text{Ge}_y$, et/ou réciproquement de la
25 seconde couche de $\text{Si}_{1-y}\text{Ge}_y$ vers la première couche de $\text{Si}_{1-x}\text{Ge}_x$.

10. Procédé selon l'une quelconque des revendications précédentes, suivant lequel le matériau diélectrique alternatif est choisi dans le groupe des oxydes métalliques comprenant HfO_2 , ZrO_2 , HfSiO et ZrSiO .

REVENDECATIONS

1. Procédé de fabrication d'un dispositif semiconducteur ayant un diélectrique de grille (2) en matériau à haute permittivité diélectrique, comprenant une étape (40) de dépôt, directement sur ledit diélectrique de grille, d'une première couche (3) de $\text{Si}_{1-x}\text{Ge}_x$ avec $0,5 < X \leq 1$, à une
5 température sensiblement basse par rapport à la température de dépôt du poly-Si par CVD thermique.
2. Procédé selon la revendication 1, suivant lequel la première couche de $\text{Si}_{1-x}\text{Ge}_x$ est déposée par CVD thermique.
3. Procédé selon la revendication 1 ou la revendication 2, suivant
10 lequel $0,7 \leq X \leq 1$.
4. Procédé selon l'une quelconque des revendications précédentes, suivant lequel $X=1$.
5. Procédé selon l'une quelconque des revendications précédentes, comprenant en outre une étape (50) de dépôt d'une seconde couche (4) de
15 $\text{Si}_{1-y}\text{Ge}_y$ avec $0 \leq Y \leq 1$, par-dessus ladite première couche de $\text{Si}_{1-x}\text{Ge}_x$.
6. Procédé selon la revendication 5, suivant lequel $0,7 \leq X \leq 1$ et $0,7 \leq Y \leq 1$.
7. Procédé selon la revendication 6, suivant lequel $X=Y=1$.
8. Procédé selon l'une quelconque des revendications précédentes,
20 suivant lequel ladite première couche de $\text{Si}_{1-x}\text{Ge}_x$ et/ou ladite seconde couche de $\text{Si}_{1-y}\text{Ge}_y$ sont dopées in situ.
9. Procédé selon l'une des revendications 5 à 8, comprenant en outre un recuit de diffusion (60) du Ge et/ou du Si de la première couche de $\text{Si}_{1-x}\text{Ge}_x$ vers la seconde couche de $\text{Si}_{1-y}\text{Ge}_y$, et/ou réciproquement de la
25 seconde couche de $\text{Si}_{1-y}\text{Ge}_y$ vers la première couche de $\text{Si}_{1-x}\text{Ge}_x$.
10. Procédé selon l'une quelconque des revendications précédentes, suivant lequel le matériau diélectrique alternatif est choisi dans le groupe des oxydes métalliques comprenant HfO_2 , ZrO_2 , HfSiO et ZrSiO .

REVENDEICATIONS

1. Procédé de fabrication d'un dispositif semiconducteur ayant un diélectrique de grille (2) en matériau à haute permittivité diélectrique, comprenant une étape (40) de dépôt, directement sur ledit diélectrique de grille, d'une première couche (3) de $\text{Si}_{1-x}\text{Ge}_x$ avec $0,5 < X \leq 1$, à une

5 température sensiblement basse par rapport à la température de dépôt du poly-Si par CVD thermique.
2. Procédé selon la revendication 1, suivant lequel la première couche de $\text{Si}_{1-x}\text{Ge}_x$ est déposée par CVD thermique.
3. Procédé selon la revendication 1 ou la revendication 2, suivant

10 lequel $0,7 \leq X \leq 1$.
4. Procédé selon l'une quelconque des revendications précédentes, suivant lequel $X=1$.
5. Procédé selon l'une quelconque des revendications précédentes, comprenant en outre une étape (50) de dépôt d'une seconde couche (4) de

15 $\text{Si}_{1-y}\text{Ge}_y$ avec $0 \leq Y \leq 1$, par-dessus ladite première couche de $\text{Si}_{1-x}\text{Ge}_x$.
6. Procédé selon la revendication 5, suivant lequel $0,7 \leq X \leq 1$ et $0,7 \leq Y \leq 1$.
7. Procédé selon la revendication 6, suivant lequel $X=Y=1$.
8. Procédé selon l'une quelconque des revendications précédentes,

20 suivant lequel ladite première couche de $\text{Si}_{1-x}\text{Ge}_x$ et/ou ladite seconde couche de $\text{Si}_{1-y}\text{Ge}_y$ sont dopées in situ.
9. Procédé selon l'une des revendications 5 à 8, comprenant en outre un recuit de diffusion (60) du Ge et/ou du Si de la première couche de $\text{Si}_{1-x}\text{Ge}_x$ vers la seconde couche de $\text{Si}_{1-y}\text{Ge}_y$, et/ou réciproquement de la

25 seconde couche de $\text{Si}_{1-y}\text{Ge}_y$ vers la première couche de $\text{Si}_{1-x}\text{Ge}_x$.
10. Procédé selon l'une quelconque des revendications précédentes, suivant lequel le matériau diélectrique alternatif est choisi dans le groupe des oxydes métalliques comprenant HfO_2 , ZrO_2 , HfSiO et ZrSiO .

11. Dispositif semiconducteur comprenant, sur un substrat (1), un diélectrique de grille (2) en matériau à haute permittivité diélectrique, et, au dessus dudit diélectrique de grille, une grille comprenant une première couche (3) de $\text{Si}_{1-x}\text{Ge}_x$ avec $0,5 < X \leq 1$ directement sur le diélectrique de grille.

5 12. Dispositif semiconducteur selon la revendication 11, dans lequel la grille comprend en outre une seconde couche (4) de $\text{Si}_{1-y}\text{Ge}_y$ avec $0 \leq Y \leq 1$ au dessus de ladite première couche de $\text{Si}_{1-x}\text{Ge}_x$.

10 13. Dispositif semiconducteur selon la revendication 12, dans lequel la grille comprend en outre une couche de limitation de la diffusion du Ge et/ou du Si entre ladite seconde couche de $\text{Si}_{1-y}\text{Ge}_y$ et de ladite première couche de $\text{Si}_{1-x}\text{Ge}_x$.

15 14. Dispositif semiconducteur selon l'une quelconque des revendications 11 à 13, dans lequel le matériau diélectrique alternatif est choisi dans le groupe des oxydes métalliques comprenant HfO_2 , ZrO_2 , HfSiO et ZrSiO .

 15. Dispositif semiconducteur selon l'une quelconque des revendications 11 à 14, dans lequel $X=Y=1$.

20 16. Dispositif semiconducteur selon l'une quelconque des revendications 11 à 15, dans lequel l'interface entre le diélectrique de grille et la grille est à majorité de Si.

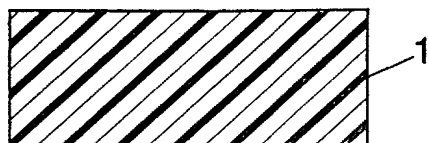


FIG. 1

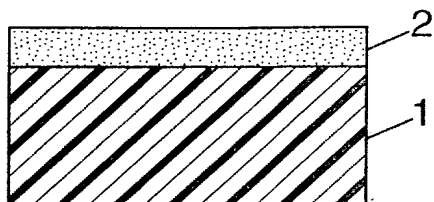


FIG. 2

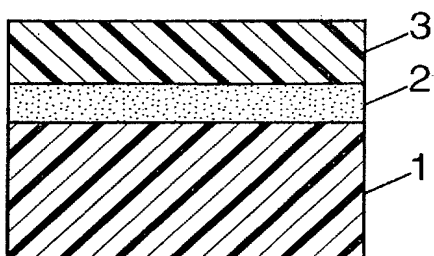


FIG. 3

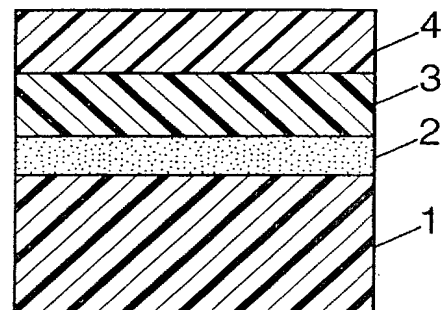


FIG. 4

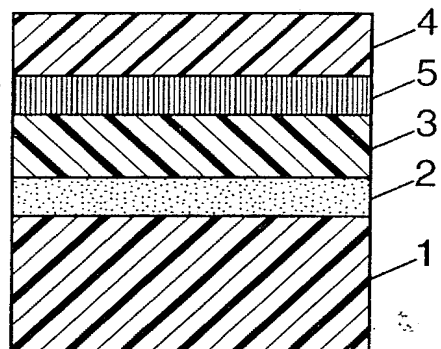
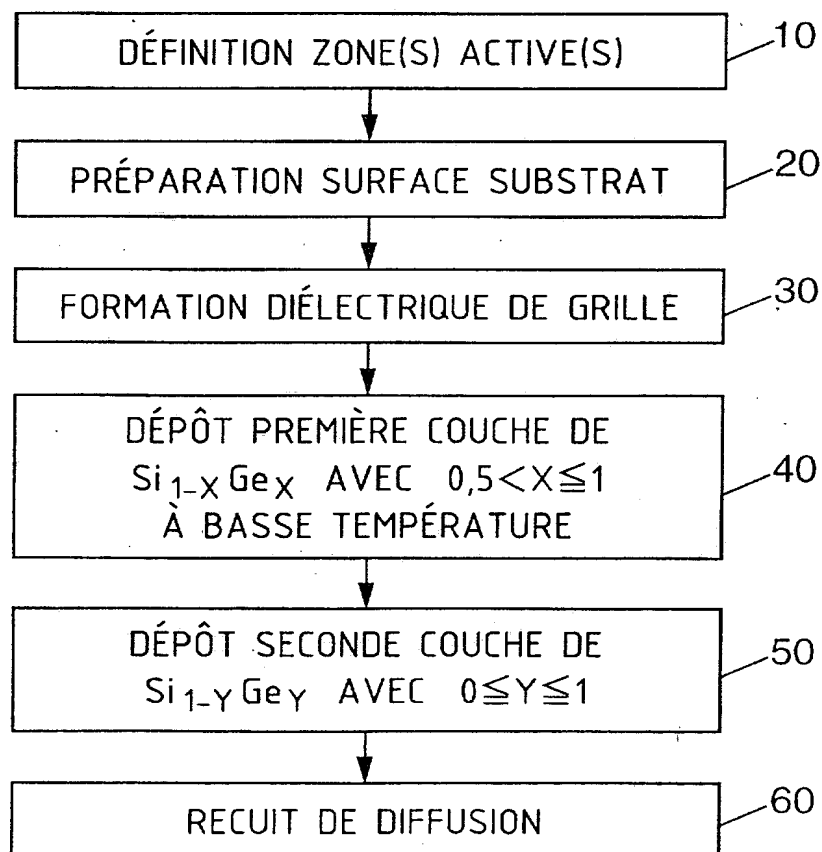


FIG. 5

FIG. 6





DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08

Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

BREVET D'INVENTION**CERTIFICAT D'UTILITÉ**

Code de la propriété intellectuelle - Livre VI



N° 11235*03

DÉSIGNATION D'INVENTEUR(S) Page N° 1/2

(À fournir dans le cas où les demandeurs et les inventeurs ne sont pas les mêmes personnes)



Cet imprimé est à remplir lisiblement à l'encre noire

DB 113 @ W / 270601

Vos références pour ce dossier (facultatif)		BFF030081
N° D'ENREGISTREMENT NATIONAL		0304008
TITRE DE L'INVENTION (200 caractères ou espaces maximum)		
PROCÉDE DE FABRICATION D'UN DISPOSITIF SEMICONDUCTEUR COMPRENANT UN DIELECTRIQUE DE GRILLE EN MATERIAU A HAUTE PERMITTIVITE DIELECTRIQUE		
LE(S) DEMANDEUR(S) :		
STMICROELECTRONICS SA		
DESIGNE(NT) EN TANT QU'INVENTEUR(S) :		
1	Nom	
	Prénoms	COSNIER Vincent
Adresse	Rue	7, rue Henri Le Chatelier 38000 GRENOBLE
	Code postal et ville	
Société d'appartenance (facultatif)		
2	Nom	
	Prénoms	MORAND Yves
Adresse	Rue	16, rue A. Morel 38000 GRENOBLE
	Code postal et ville	
Société d'appartenance (facultatif)		
3	Nom	
	Prénoms	
Adresse	Rue	KERMARREC Olivier
	Code postal et ville	13, Allée des Iris 38610 GIERES
Société d'appartenance (facultatif)		
S'il y a plus de trois inventeurs, utilisez plusieurs formulaires. Indiquez en haut à droite le N° de la page suivi du nombre de pages.		
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)		
Le 1 avril 2003 CABINET PLASSERAUD Stéphane VERDURE 97-0901		



DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08

Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

BREVET D'INVENTION**CERTIFICAT D'UTILITÉ**

Code de la propriété intellectuelle - Livre VI



N° 11235°03

DÉSIGNATION D'INVENTEUR(S) Page N° 2. / 2.

(À fournir dans le cas où les demandeurs et les inventeurs ne sont pas les mêmes personnes)

Cet imprimé est à remplir lisiblement à l'encre noire

DB 113 @ W / 270601

**Vos références pour ce dossier (facultatif)**

BFF030081

N° D'ENREGISTREMENT NATIONAL

0304008

TITRE DE L'INVENTION (200 caractères ou espaces maximum)PROCÉDE DE FABRICATION D'UN DISPOSITIF SEMICONDUCTEUR COMPRENANT UN DIELECTRIQUE DE GRILLE
EN MATERIAU A HAUTE PERMITTIVITE DIELECTRIQUE**LE(S) DEMANDEUR(S) :**

STMICROELECTRONICS SA

DESIGNE(NT) EN TANT QU'INVENTEUR(S) :**1** Nom

Prénoms

BENSAHEL Daniel

Adresse

Rue

49 rue Louise Michel

38100 GRENOBLE

Code postal et ville

Société d'appartenance (facultatif)

2 Nom

Prénoms

CAMPIDELLI Yves

Adresse

Rue

1 place Hubert Dubedout

38000 GRENOBLE

Code postal et ville

Société d'appartenance (facultatif)

3 Nom

Prénoms

Adresse

Rue

Code postal et ville

Société d'appartenance (facultatif)

S'il y a plus de trois inventeurs, utilisez plusieurs formulaires. Indiquez en haut à droite le N° de la page suivi du nombre de pages.

DATE ET SIGNATURE(S)**DU (DES) DEMANDEUR(S)****OU DU MANDATAIRE**

(Nom et qualité du signataire)

Le 1 avril 2003

CABINET PLASSERAUD

Stéphane VERDURE

97-0901

THIS PAGE BLANK (USPTO)